

Family list

1 family member for:

JP5094150

Derived from 1 application.

1 TFT DRIVEN THIN FILM EL ELEMENT

Publication info: **JP5094150 A** - 1993-04-16

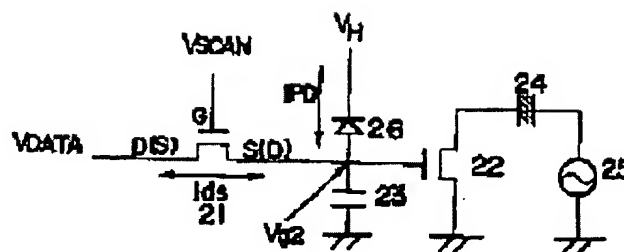
Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE BLANK (USPTO)

Patent number:	JP5094150
Publication date:	1993-04-16
Inventor:	KYOZUKA SHINYA
Applicant:	FUJI XEROX CO LTD
Classification:	
- international:	G09G3/30; H05B33/08
- european:	
Application number:	JP19910226348 19910813
Priority number(s):	JP19910226348 19910813

Abstract of JP5094150

PURPOSE: To obtain an active matrix panel whose TFT characteristic is stable for providing the driving circuit of a thin film EL element which suppresses a luminance variance in a panel surface, enhances the display quality, and also, can cope with a large screen display. **CONSTITUTION:** In the TFT driving EL element having the light emission control thin film transistor (TFT) 22 of a thin film electroluminescence element, a signal holding capacitor Cs 23 connected to the gate electrode of the TFT 22, and a TFT 21 for writing data to the Cs 23, an element 26 whose resistance drops by receiving a light emission of the EL element is connected in series to the Cs 23, and by allowing a current I_{pd} to flow to the Cs 23, the drop of a gate voltage V_{g2} of the TFT 22 caused by field-through and a field loop is compensated.



<http://v3.espacenet.com/textdoc?DB=EPODOC&IDX=JP5094150&F=8>

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-94150

(43) 公開日 平成5年(1993)4月16日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/30	Z	8621-5G		
H 0 5 B 33/08		8815-3K		

審査請求 未請求 請求項の数1(全5頁)

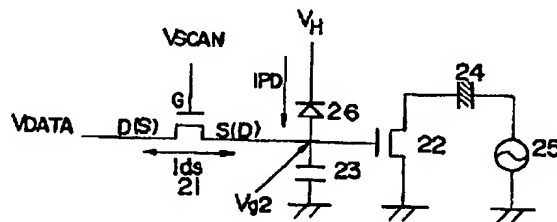
(21) 出願番号	特願平3-226348	(71) 出願人	000005496 富士ゼロックス株式会社 東京都港区赤坂三丁目3番5号
(22) 出願日	平成3年(1991)8月13日	(72) 発明者	経塚 信也 神奈川県海老名市本郷2274番地 富士ゼロ ックス株式会社海老名事業所内
		(74) 代理人	弁理士 住吉 多喜男 (外2名)

(54) 【発明の名称】 T F T 駆動薄膜 E L 素子

(57) 【要約】

【目的】 パネル面内の輝度ばらつきを抑え、表示品質を高めるとともに、大画面表示に対応できる薄膜 E L 素子の駆動回路を提供する T F T 特性の安定したアクティブマトリクスパネルを得る。

【構成】 薄膜エレクトロルミネッセンス素子 (C e l) の発光制御用薄膜トランジスタ (T F T Q₂) と、T F T Q₂ のゲート電極に接続された信号保持用キャパシタ (C s) と、C s へのデータ書き込み用の T F T Q₁ を有した T F T 駆動 E L 素子において、E L 素子の発光を受光することによって、その抵抗が低下する素子 (P D) を C s 直列に接続し C s に電流 (I_{p d}) を流して、T F T Q₂ のゲート電圧 (V_{g2}) のフィードスルーおよびドループによる低下を補償した。



1

【特許請求の範囲】

【請求項1】 薄膜エレクトロルミネッセンス(EL)素子と前記EL素子の発光制御用の薄膜トランジスタ(以後TFTという)と前記発光制御用のTFTのゲート電極に接続された信号保持用のキャパシタと前記キャパシタへのデータ書き込み用のTFTを有したTFT駆動薄膜EL素子において、前記EL素子の発光を受光することによって、その抵抗が低下する素子の一端を前記信号保持用のキャパシタのデータ書き込み側に直列に接続し、他端を前記キャパシタを充電する電源に接続したことを特徴とするTFT駆動薄膜EL素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フラットパネルディスプレイおよび光プリンタヘッドなどに用いる薄膜エレクトロルミネッセンス(EL)素子に関するものである。

【0002】

【従来の技術】薄膜ELパネルの駆動方法として、従来の単純マトリクス方式にかわり、各EL素子を薄膜トランジスタ(TFT)で制御する、いわゆるアクティブマトリクス方式が検討されている。アクティブマトリクス方式では、クロストークがない、フレーム周波数と独立にEL素子を駆動できるため高輝度が得られる、外部制御用ICに低耐圧のICが使えるコストがさがるとの利点をもつ。

【0003】従来のEL素子をTFTによって駆動する方式としては図5に示す方法(たとえば特開昭60-216388号公報)が提案されており、その構成と動作は以下の通りである。データ書き込み用TFT21のドレインDにはデータ電圧Vdataが、ゲートGにはスキャン電圧Vscanがそれぞれ供給され、ソースSには信号保持用キャパシタ23とEL発光制御用TFT22のゲートが接続されている。TFT22にはEL素子24と電源25が直列に接続されて閉回路を構成している。EL素子の発光制御用TFT22がON状態(低抵抗)の時は、EL素子24には電源25の電圧が印加され発光する。TFT22がOFF状態(高抵抗)の時は、EL素子には電圧が印加されず発光しない。TFT22のゲートに接続された信号保持用キャパシタ23の電位をデータ書き込み用TFT21によって制御して、TFT22のON、OFFの制御を行っている。

【0004】駆動波形は図6のようになり、データ書き込み用TFT21のデータラインVdataにデータ電圧Vd1を印加し、スキャン電圧Vscanにゲート電圧Vg1を印加すると信号保持用キャパシタ23はTFT21のオン電流によって充電され、発光制御用TFT22のゲート電圧Vg2はハイ(VH)となって、TFT22がON状態となりEL素子が発光する。スキャン電圧Vscanを0にするとゲート電圧Vg2はフィールドスルーによりΔVp低下する。TFT21がOFFとなった(Vdata=Vs

2

can=0)後もゲート電圧Vg2はTFT21のオフ電流(ドループ)によって、次のデータが書き込まれるまで徐々に低下していく(ΔVD)。データ電圧Vdataを0とし、スキャン電圧Vscanにゲート電圧Vg1を印加すると信号保持用キャパシタに蓄えられた電荷は放電されゲート電圧Vg2が0となるので、TFT22はOFF状態となりEL素子は発光しなくなる。

【0005】ところで、TFT22のゲート電圧Vg2に対するELの発光輝度Lの変化は図7のようになり、ゲート電圧Vg2がVthからLは急峻に立上り、ゲート電圧Vg2がVsat以降は輝度は一定となるから、全面素で均一な発光を得るためには、次のデータが書き込まれるまでのゲート電圧Vg2の電圧降下に対して、

$$Vg2 = VH - (\Delta VF + \Delta VD) > Vsat$$

の関係が必要となる。図8に示すように、ΔVFはTFT21のゲート・ソースのオーバーラップ容量Cgs1と信号保持用キャパシタ23の容量比によって決まり、ΔVDはTFT21のOFF電流Ioff1と信号保持用キャパシタの大きさによって決定されるが(ここに、Fはフレーム周波数、trはデータ書き込み時間である。)、TFT21のゲート・ソースのオーバーラップ容量Cgs1、TFT21のOFF電流Ioff1によってΔVF、ΔVDを小さくするにはプロセス技術、TFTの性能の飛躍的な向上が必要であり、さらにIoff1はTFT21の素子特性だけでなくTFT21のデータ電圧VdataとTFT22のゲート電圧Vg2の電位差にも依存するので、各画素に対してドループによる電圧低下ΔVDを一定とすることはできない。そこで、従来は信号保持用キャパシタを十分大きくすることにより、1フレームの間

$$Vg2 = VH - (\Delta VF + \Delta VD) > Vsat$$

の関係が成り立つようにしていた。

【0006】

【発明が解決しようとする課題】ところで、ΔVF、ΔVDを小さくするために、信号保持用キャパシタ23の容量を大きくした場合、信号保持用キャパシタの面積が大きくなり、パネルの開口率が低下してしまい、EL素子に対して高輝度が要求されるようになる。また、信号保持用キャパシタの容量を大きくすると充電、放電のための書き込み時間を長くしなくてはならず、画素数が増加した場合には、この方法では対応できない、という問題があった。この発明の目的は、パネル面内の輝度ばらつきを抑え、表示品質を高めるとともに、大画面表示に対応できる薄膜EL素子の駆動回路を提供することにある。

【0007】

【課題を解決するための手段】薄膜EL素子の発光制御用の薄膜トランジスタ(TFT)22のゲートに接続された信号保持用のキャパシタ23に、前記EL素子の発光によって、その抵抗が低下する光可変抵抗素子26の一端を前記信号保持用のキャパシタのデータ書き込み側に

直列に接続し、他端を前記キャパシタを充電する電源に接続する。

【0008】

【作用】本発明のTFT駆動EL素子においては、フィードスルー、ドループによってEL発光制御用TFTのゲート電圧 V_{g2} が低下しても、EL素子の発光により光可変抵抗26を介して信号保持用キャパシタ23が、再び充電されるため、ゲート電圧 V_{g2} の低下が抑制されパネル面上の輝度ばらつきが抑えられる。また、信号保持用キャパシタを小さくすることで、データの書き込み時間10を短縮できるのでパネルの大画面化にも対応できる。

【0009】

【実施例】本発明によるTFT駆動EL素子の1画素分の等価回路を図1に、構造断面図を図2に示す。本発明にあっては図5に示される従来の回路のEL発光制御用TFT22のゲートに逆バイアス($V_{PD}=V_H$)されたフォトダイオード26が接続されている。

【0010】このTFT駆動薄膜EL素子は以下のようにして作成される。無アルカリガラス基板1(例えばコーニング7059)上にTFTのゲート電極2及びフォトダイオードの下部電極2としてクロム(Cr)を500Åスパッタ法により着膜し、フォトリソエッチングによって所定のパターンに加工する。次にプラズマCVD法によってゲート絶縁膜3の窒化珪素(SiN_x)を3000Å、活性層4の真性アモルファスシリコン(i-a-Si)を500Å、保護層5の SiN_x を1500Å連続着膜する。保護層5の SiN_x をパターニングした後、オーミックコンタクト層6としてプラズマCVD法によって高不純物濃度n型アモルファスシリコンを1000Å、バリアメタル層7のCrをスパッタ法により1500Å着膜する。バリアメタル層7のCr、オーミックコンタクト層6の高不純物濃度n型アモルファスシリコン、活性層4のi-a-Si、ゲート絶縁膜3の SiN_x と順次パターニングしていく。次にフォトダイオードの半導体層8にa-SiをプラズマCVD法により10000Å着膜し、パターニングを行う。フォトダイオード26の上部電極9及びEL素子の下部電極9として酸化インジウム錫(ITO)を1500Åスパッタ法で着膜し、パターニングを行う。これで、ITO/a-Si/Crのショットキーダイオード26が作成される。次にELの下部絶縁層10として SiN_x をスパッタ法により2500Å着膜、パターニングを行う。ELの発光層11として $ZnS:Mn$ をEB蒸着法により5000Å着膜、パターニングを行う。ELの上部絶縁層12として、再び SiN_x をスパッタ法により2500Å着膜しパターニングを行う。最後にTFTのソース・ドレイン電極13、ELの上部電極13としてアルミニウム(Al)を10000Åスパッタ法で着膜し、パターニングを行う。この時フォトダイオードにEL素子からの発光以外の光が入射しないように、フォトダイオードの周囲に遮光用のパターンを形成40

しておく。このようにして作成を完了する。尚、TFTのチャンネル幅(W)及びチャンネル長(L)は $W/L=64\mu m/16\mu m$ とし、フォトダイオードのサイズは受光部は $50\mu m \times 50\mu m$ 、電極面積としては $50\mu m \times 80\mu m$ とした。

【0011】上記のようにして作成したTFT21及びフォトダイオードの特性について、以下に述べる。TFT21のドレイン・ソース間に10V印加し($V_{ds}=10V$)、ゲート・ソース間を流れる電流(I_{ds})の変化を図3に示す。ゲート・ドレイン電圧 V_{gs} が0Vのときゲート・ソース電流 I_{ds} は $1/10^{10}A$ ($=I_{off}$)であり、ゲート・ドレイン電圧 V_{gs} が10Vではゲート・ソース電流 I_{ds} は $1/10^5A$ ($=I_{on}$)で、いわゆるON/OFF比としては5桁得られている。フォトダイオード26に関しては、逆バイアス電圧を10V印加した場合で、フォトダイオードを流れる電流 I_{pd} は、光の入射しない暗状態でフォトダイオード電流 I_{pd} は $1/10^{13}A$ (暗電流 I_d)、明状態(波長550nm、100lx照射時)でフォトダイオード電流 I_{pd} は $1/10^9A$ (明電流 I_p)といった特性が得られている。

【0012】本発明によるTFT駆動EL素子の駆動波形は図4のようになる。TFT21のドレインDの印加電圧 V_{data} を V_{d1} に、ゲートGの印加電圧 V_{scan} を V_{g1} にすると、信号保持用キャパシタ23には電荷が蓄えられTFT22のゲート電圧 V_{g2} は V_H となり、TFT22がON状態となりEL素子が発光する。この光によってフォトダイオード26に明電流 I_p が流れる。TFT21をオフ($V_{scan}=0$)にすると V_{g2} はフィードスルーにより ΔV_F 低下するが、この時、 $V_{g2}-\Delta V_F > V_{sat}$ であれば、ELの輝度は変化しないので、フォトダイオードには明電流 I_p が流れつづけている。TFT21がOFFとなった後は、TFT21のオフ電流 I_{off1} と明電流 I_p の差分によって信号保持用キャパシタは放電/充電される。今、明電流がオフ電流より大きい($I_p > I_{off1}$)から、信号保持用キャパシタは明電流によって徐々に充電されていくことになり、時間の経過とともに V_{g2} は上昇することになり($\max. V_{PD}=V_H$)、 $V_{g2} < V_{sat}$ とはならず、常に一定の輝度が保たれる。 V_{data} を0とし V_{scan} を V_{g1} にすると信号保持用キャパシタに蓄えられた電荷はなくなり、 V_{g2} は0となる。TFT22はOFF状態となりEL素子の発光は停止し、フォトダイオードを流れる電流も明電流 I_p から暗電流 I_d へと減少する。非発光時にも、信号保持用キャパシタは暗電流 I_d によって充電されるが、暗電流 I_d はオフ電流 I_{off1} に比べて十分低く、1フレームの間で V_{g2} は V_{th} まで達しないので、EL素子は発光しない。尚、フォトダイオードの逆バイアス電圧は $|V_{PD}| > |V_{sat}|$ であればよい。

【0013】尚、本実施例では、TFTにa-SiTFTを使用しているが、これに限るものではなくpoly-SiT

5

FT、CdSeTFTなども適用できる。光可変抵抗素子として、ショットキータイプのフォトダイオードをもちいているが、PINフォトダイオードやa-Si、a-Seなどの感光体を利用したギャップ型光センサでも良い。

【0014】

【発明の効果】TFT21のドループによる電圧降下 ΔV_D をフォトダイオードを介して補償することによってゲート電圧 V_{G2} を一定に保つことができるので、EL素子の輝度の低下がなく、高品質な画像表示が得られる。信号保持用キャパシタ23を小さくする事ができ、また、EL素子が一旦発光すれば発光は維持されるので、信号の書き込み時間を短くできる。従って、画素数が多い場合に対応できる。信号書き込み用のTFTの性能に対するマージンが広がる。例えば、CdSeTFTのようにOFF電流の高いTFTでも使用できる。

【0015】また、本発明はパネルに限らず、EL素子の発光をTFTで制御する素子、例えば光プリンタヘッドなどにも適用できる。その場合、ドループによるEL素子の輝度の低下がないから、印字品質が向上するとともに、信号保持用キャパシタが小さいので、プリンタヘッドの面積を小さくでき、印字の密度を上げることができるばかりでなく、コストを低減できる。

【図面の簡単な説明】

【図1】本発明によるTFT駆動EL素子の等価回路図

【図2】本発明の実施例の構造の断面図

【図3】TFT(21)の $V_{GS}-I_{DS}$ 特性図およびフ

6

トダイオードのV-I特性図

【図4】本発明における駆動波形を示す図

【図5】従来のTFT駆動EL素子の等価回路図

【図6】従来例における駆動波形を示す図

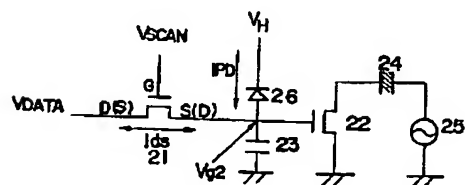
【図7】TFTのゲート電圧とEL素子の輝度特性図

【図8】EL制御用TFTのゲート電圧のフィールドスルー、ドループによる降下の式

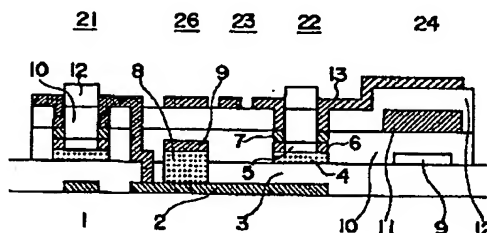
【符号の説明】

1 ガラス基板、2 TFTゲート電極及びフォトダイオード下部電極(Cr)、3 ゲート絶縁膜(SiNx)、4 TFT活性層(i-a-Si)、5 TFT保護層(SiNx)、6 高不純物濃度n型アモルファスシリコン、7 バリアメタル(Cr)、8 フォトダイオード(a-Si)、9 上部電極及びEL下部電極(フォトダイオードITO)、10 EL下部絶縁層(SiNx)、11 EL発光装置(ZnS:Mn)、12 EL上部絶縁層(SiNx)、13 TFTソース・ドレイン電極及びEL上部電極(Al)、21 データ書き込み用TFT、22 EL駆動制御用TFT、23 信号保持用キャパシタ、24 EL素子、25 電源電圧、26 フォトダイオード、 V_{G2} TFT22のゲート電圧、 V_{data} TFT21のデータ電圧、 V_{scan} TFT21のスキャン電圧、 ΔV_F フィールドスルーによる電圧降下、 ΔV_D ドループによる電圧降下、 V_{th} EL素子が発光し始めるTFT22のゲート電圧、 V_{sat} EL素子の発光輝度が飽和し始めるTFT22のゲート電圧

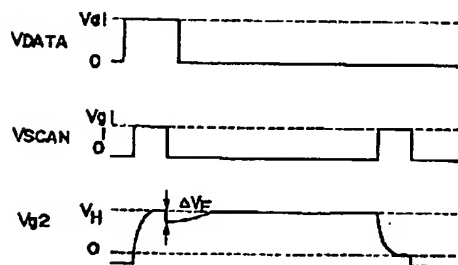
【図1】



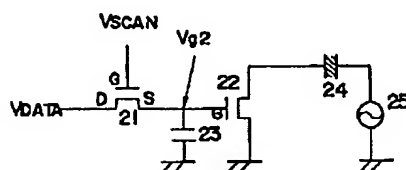
【図2】



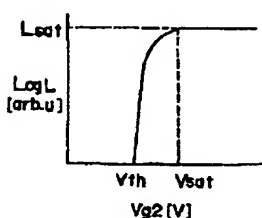
【図4】



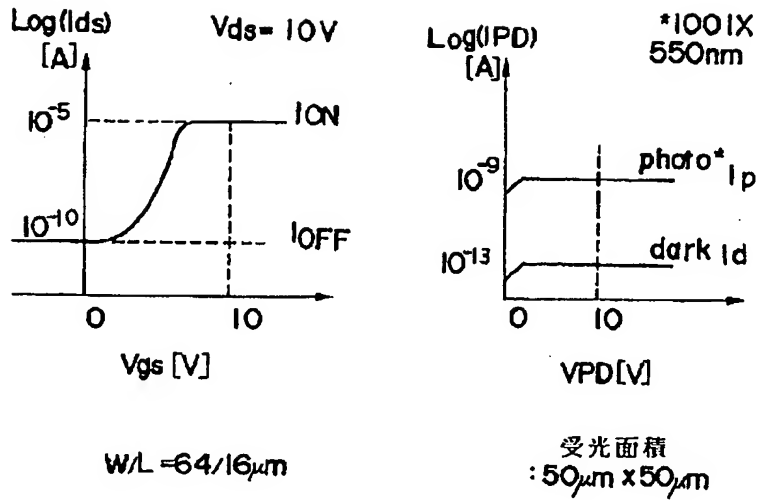
【図5】



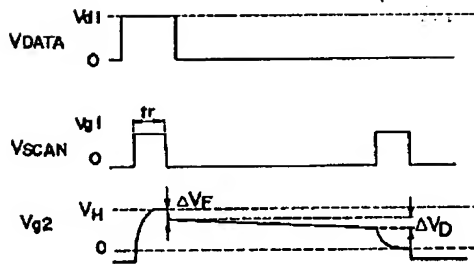
【図7】



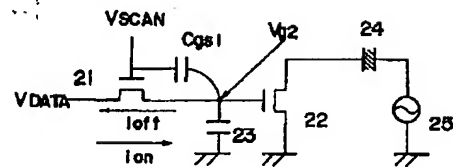
【図3】



【図6】



【図8】



$$\Delta V_F = \frac{C_{gs1}}{C_s + C_{gs1}} \times \Delta V_{SCAN}$$

$$\Delta V_D = \frac{1}{C_s} \int_0^{F-tr} I_{off} dt \quad I_{off} = f(V_{DATA} - V_{g2})$$

$$V_H = \frac{1}{C_s} \int_0^{tr} I_{on} dt \quad I_{on} = f(V_{DATA} - V_{g2})$$

THIS PAGE BLANK (USPTO)